

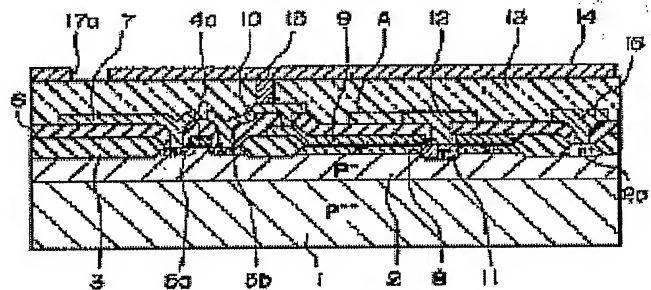
LIQUID CRYSTAL PANEL AND SUBSTRATE FOR LIQUID CRYSTAL PANEL AS WELL AS PROJECTION TYPE DISPLAY DEVICE

Patent number: JP10039332
Publication date: 1998-02-13
Inventor: OKA HIDEAKI; TSUDA AKIHITO; ASAGA TATSUYA
Applicant: SEIKO EPSON CORP
Classification:
 - international: **G02F1/136; G02F1/133; G02F1/1368; G09F9/00; G02F1/13; G09F9/00; (IPC1-7): G02F1/136; G02F1/133; G09F9/00**
 - european:
Application number: JP19960190847 19960719
Priority number(s): JP19960190847 19960719

Report a data error here

Abstract of JP10039332

PROBLEM TO BE SOLVED: To provide a technique capable of obtaining a sufficient holding capacitance even if the size of pixel electrodes is small and decreasing leak currents by decreasing the quantity of leak light in a reflection type LCD (liquid crystal display device) using semiconductors as substrates. **SOLUTION:** Conductive layers 9 which constitute holding capacitors are formed by each of respective pixels below the pixel electrodes 14 which are reflection electrodes. Semiconductor regions 8 or another conductive layers which are the other terminals of these holding capacitors are formed via insulating films below or above the conductive layers 9. The conductive layers 9 are electrically connected to transistors (MOSFETs) for driving the pixel electrodes 14. The semiconductor regions 8 or the other conductive layers are electrically connected to wiring layers 12 which apply the potential near the common potential or near the central potential of the frequency of the voltage impressed on the reflection electrodes described above or the intermediate potential of both potentials so as to fix the potential.



Data supplied from the **esp@cenet** database - Worldwide

Family list

1 family member for: **JP10039332**

Derived from 1 application

**1 LIQUID CRYSTAL PANEL AND SUBSTRATE FOR LIQUID CRYSTAL
PANEL AS WELL AS PROJECTION TYPE DISPLAY DEVICE**

Inventor: OKA HIDEAKI; TSUDA AKIHITO; (+1) **Applicant:** SEIKO EPSON CORP

EC: **IPC:** G02F1/136; G02F1/133; G02F1/1368 (+6)

Publication info: JP10039332 A - 1998-02-13

Data supplied from the *esp@cenet* database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-39332

(43) 公開日 平成10年(1998) 2月13日

(51) Int. Cl. ⁶	識別記号	F I
G02F 1/136	500	G02F 1/136 500
1/133	550	1/133 550
G09F 9/00	360	G09F 9/00 360

審査請求 未請求 請求項の数14 O L (全10頁)

(21) 出願番号 特願平8-190847

(22) 出願日 平成8年(1996) 7月19日

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿 2丁目 4番 1号

(72) 発明者 岡 秀明

長野県諏訪市大和 3丁目 3番 5号 セイコーエプソン株式会社内

(72) 発明者 津田 昭仁

長野県諏訪市大和 3丁目 3番 5号 セイコーエプソン株式会社内

(72) 発明者 浅賀 達也

長野県諏訪市大和 3丁目 3番 5号 セイコーエプソン株式会社内

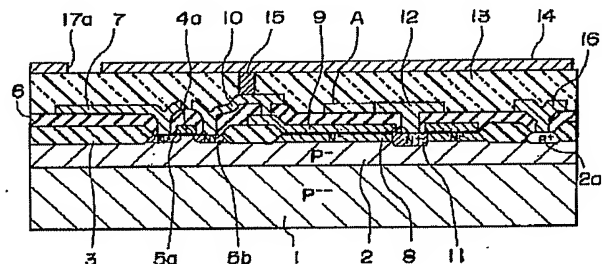
(74) 代理人 弁理士 鈴木 喜三郎 (外 2名)

(54) 【発明の名称】 液晶パネルおよび液晶パネル用基板並びに投射型表示装置

(57) 【要約】

【課題】 半導体を基板とする反射型液晶パネル (LCD) においては、デバイスサイズの縮小に応じて各画素のサイズも小さくなるため、画素電極のみでは液晶の駆動に必要な電圧を保持するのに十分な容量が得られない。

【解決手段】 反射電極となる画素電極 (14) の下方に各画素毎に保持容量を構成する導電層 (9) を形成し、この導電層の下方または上方に絶縁膜を介して前記保持容量の他方の端子となる半導体領域 (8) または他の導電層 (19) を形成し、上記導電層は画素電極を駆動するトランジスタ (MOSFET) に電氣的に接続させるとともに上記半導体領域または他の導電層は共通電位近傍あるいは上記反射電極に印加される電圧の振幅の中心電位近傍あるいは両電位の中間の電位を与える配線層 (12) に電氣的に接続させて電位を固定するようにした。



【特許請求の範囲】

【請求項 1】 半導体基板上に反射電極がマトリックス状に形成されるとともに各反射電極に対応して各々トランジスタが形成され、前記トランジスタを介して前記反射電極に電圧が印加されるように構成された液晶パネル用基板において、

上記反射電極の下方には各画素毎に保持容量を構成する一方の導電層が形成され、この導電層の下方または上方には絶縁膜を介して前記保持容量の他方の端子となる他方の導電層が形成され、上記導電層は上記トランジスタに電氣的に接続されるとともに上記他方の導電層には液晶パネルのコモン電位近傍あるいは上記反射電極に印加される電圧の振幅の中心電位近傍あるいは両電位の中間の電位を与える配線層が電氣的に接続されていることを特徴とする液晶パネル用基板。

【請求項 2】 上記保持容量を構成する導電層と上記コモン電位を与える配線層とがオーバーラップするように形成されていることを特徴とする請求項 1 に記載の液晶パネル用基板。

【請求項 3】 上記各反射電極間の一方のスリット下方にはスリットに沿ってデータ線が配設され、上記スリットと直交する他方のスリットの下方には上記データ線と同一の導電層により構成された遮光層が配設され、この遮光層には上記コモン電位近傍あるいは上記反射電極に印加される電圧の振幅の中心電位近傍あるいは両電位の中間の電位が印加されるように接続がなされていることを特徴とする請求項 1 または 2 に記載の液晶パネル用基板。

【請求項 4】 上記保持容量を構成する導電層は、上記トランジスタを構成するゲート電極と同一工程で形成されたポリシリコン層であることを特徴とする請求項 1、2 または 3 に記載の液晶パネル用基板。

【請求項 5】 上記保持容量の絶縁膜は、上記反射電極に接続されたトランジスタのゲート絶縁膜より薄い膜厚を有することを特徴とする請求項 1、2、3 または 4 に記載の液晶パネル用基板。

【請求項 6】 上記各反射電極に接続されたトランジスタと、該トランジスタのゲート電極および上記データ線を駆動する周辺回路を構成するトランジスタとが同一の半導体基板上に形成された液晶パネル用基板であって、上記保持容量を構成する一対の導電層間の絶縁膜は、上記周辺回路のトランジスタを構成するゲート絶縁膜と同一工程で形成された絶縁膜であることを特徴とする請求項 5 に記載の液晶パネル用基板。

【請求項 7】 半導体基板上に反射電極がマトリックス状に形成されるとともに各反射電極に対応して各々トランジスタが形成され、前記トランジスタを介して前記反射電極に電圧が印加されるように構成された液晶パネル用基板において、

上記トランジスタは対応する反射電極のほぼ中央付近に

配置され、その周囲の上記反射電極の下方には各画素毎に保持容量を構成する一方の導電層が形成され、この導電層の下方または上方には絶縁膜を介して前記保持容量の他方の端子となる他方の導電層が形成され、前記他方の導電層は液晶パネルのコモン電位近傍あるいは上記反射電極に印加される電圧の振幅の中心電位近傍あるいは両電位の中間の電位を与える配線層に接続され、上記一方の導電層は上記トランジスタに接続されていることを特徴とする液晶パネル用基板。

10 【請求項 8】 上記各反射電極間の一方のスリット下方にはスリットに沿って半導体基板上にバイアス電位を与える配線が配設され、上記スリットと直交する他方のスリットの下方には導電層よりなる遮光層が配設され、この遮光層には上記コモン電位近傍あるいは上記反射電極に印加される電圧の振幅の中心電位近傍あるいは両電位の中間の電位が印加されるように接続がなされていることを特徴とする請求項 6 に記載の液晶パネル用基板。

20 【請求項 9】 上記反射電極およびこれに接続された上記トランジスタは半導体基板の中央部に形成され、その周囲に上記データ線およびゲート電極が接続されたゲート線を駆動する周辺回路が形成され、この周辺回路の上方には導電層により構成された遮光層が設けられていることを特徴とする請求項 1 ～ 8 に記載の液晶パネル用基板。

【請求項 10】 半導体基板上に反射電極がマトリックス状に形成されるとともに各反射電極に対応して各々トランジスタが形成され、前記トランジスタを介して前記反射電極に電圧が印加されるように構成された液晶パネル用基板において、

30 上記反射電極の下方には各画素毎に保持容量を構成する一方の導電層が形成され、この導電層の下方または上方には絶縁膜を介して前記保持容量の他方の端子となる他方の導電層が形成され、上記導電層は上記トランジスタに電氣的に接続されるとともに上記他方の導電層へ電位を印加し且つ上記トランジスタが形成されるウェル領域に電位を供給する導電層が形成されていることを特徴とする液晶パネル用基板。

40 【請求項 11】 上記トランジスタおよび上記保持容量を覆うように形成された絶縁膜の反射電極形成部分に凹部が形成され、その上に金属層が形成され、この金属層および上記絶縁膜が化学的機械研磨法により研磨されて上記凹部内に上記金属層からなる反射電極が形成され、該反射電極からその周囲の絶縁膜にかけて表面が平坦化されていることを特徴とする請求項 1 ～ 10 に記載の液晶パネル用基板。

【請求項 12】 上記半導体基板の裏面には補強用の支持基盤が接合されていることを特徴とする請求項 1 ～ 11 に記載の液晶パネル用基板。

50 【請求項 13】 請求項 1 ～ 12 に記載の液晶パネル用基板と、対向電極を有する入射側の透明基板とが適当な

間隔において配置されるとともに、上記液晶パネル用基板と上記透明基板との間隙内に液晶が封入されていることを特徴とする液晶パネル。

【請求項 1 4】 光源と、前記光源からの光を変調して反射する請求項 1 3 に記載の構成の液晶パネルと、これらの液晶パネルにより変調された光を集光し拡大投射する投射光学手段とを備えていることを特徴とする投射型表示装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】 本発明は、液晶表示装置さらには反射型液晶表示装置に関し、特に半導体基板上に形成された MOS F E T（絶縁ゲート型電界効果トランジスタ）によって画素電極を駆動するアクティブマトリックス型 L C D（液晶表示装置）に利用して好適な技術に関する。

【0 0 0 2】

【従来の技術】 従来、反射型アクティブマトリックス L C D としては、ガラス基板上にアモルファスシリコンを用いた T F T アレーを形成し、さらにその上にアクリル樹脂等を介して反射電極となる画素電極を形成して T F T で駆動するようにした構造の L C D が実用化されている。

【0 0 0 3】

【発明が解決しようとする課題】 上記 T F T を用いた反射型アクティブマトリックス L C D はデバイスサイズが比較的大きいため、例えばこれをライトバルブとして組み込んだビデオプロジェクタのような投射型表示装置にあっては、装置全体が大型化してしまうという不具合がある。

【0 0 0 4】 一方、上記反射型アクティブマトリックス L C D に比べてサイズが小さい反射型 L C D として、半導体基板上に形成された MOS F E T アレーで反射電極となる画素電極を駆動するようにしたものがある。

【0 0 0 5】 しかしながら半導体を基板とする L C D においては、デバイスサイズの縮小に応じて各画素のサイズも小さくなるため、画素電極のみでは液晶の駆動に必要な電圧を保持するのに十分な容量（1 0 0 f F 程度が必要）が得られないという欠点がある。

【0 0 0 6】 また、各画素電極と画素電極との隙間から光が漏れて P N 接合（画素電極駆動用 F E T のソース・ドレイン領域）を通過するとリーク電流が流れてしまうという問題があるが、半導体を基板とする L C D においてはウェル領域があるため、漏れ光がトランジスタ部分のみでなくそこから離れた半導体基板を通過しただけでリーク電流が流れることがあり、光リーク電流がガラス基板の L C D に比べて多くなるという欠点がある。

【0 0 0 7】 この発明の目的は、半導体を基板とする反射型 L C D において、画素電極のサイズが小さくても十分な保持容量が得られ、また漏れ光の量を減らしてリー

ク電流を減らすことができる技術を提供することにある。

【0 0 0 8】 この発明の他の目的は、半導体を基板とする反射型 L C D における画素電極の反射率を高めるとともに、デバイス強度を高めることにある。

【0 0 0 9】

【課題を解決するための手段】 この発明は、上記目的を達成するため、反射電極となる画素電極の下方に各画素毎に保持容量を構成する導電層を形成し、この導電層の下方または上方に絶縁膜を介して前記保持容量の他方の端子となる半導体領域または他の導電層を形成し、上記導電層は画素電極を駆動する MOS F E T のソース・ドレイン領域に電氣的に接続させるとともに上記半導体領域または他の導電層はコモン電位近傍あるいは上記反射電極に印加される電圧の振幅の中心電位近傍あるいは両電位の中間の電位を与える配線層に電氣的に接続させて電位を固定するようにした。

【0 0 1 0】 これによって、保持容量の値が確保されるとともに、保持容量の電圧は画素電極と対向電極間に印加される電圧と同一となり、データ線が交流駆動された場合にも対称的な電圧波形が得られるようになる。

【0 0 1 1】 上記の場合、保持容量を構成する導電層と上記コモン電位を与える配線層とがオーバーラップするように形成したり、あるいは保持容量の絶縁膜を反射電極を駆動する MOS F E T のゲート絶縁膜より薄い膜厚にすることにより、さらに大きな容量を持たせることができる。

【0 0 1 2】 しかも、上記保持容量を構成する導電層は、上記 MOS F E T を構成するゲート電極と同一工程で形成されるポリシリコン層としたり、保持容量の絶縁膜を、画素電極を駆動する上記 MOS F E T または周辺回路を構成する MOS F E T のゲート絶縁膜と同一工程で形成される絶縁膜とすることで、プロセスを複雑にすることなく保持容量を形成することができる。

【0 0 1 3】 また、各画素電極を駆動する MOS F E T を画素電極のほぼ中央付近に配置して、その周囲に上記保護容量を構成する導電層を形成するようにした。これによって、保持容量の導電層が遮光膜となってリーク電流を減らすことができる。

【0 0 1 4】 さらに、各画素電極間のスリット下方には遮光性を有する層を形成するようにした。この場合の遮光層は、データ線と同一の導電層により構成し、L C コモン電位近傍あるいは上記反射電極に印加される電圧の振幅の中心電位近傍あるいは両電位の中間の電位を印加させるようにすると良い。

【0 0 1 5】 また、反射電極となる画素電極の形成に際しては、画素電極を駆動する MOS F E T を覆う絶縁膜表面に、各画素電極の形状に対応した凹部を形成した後、メタル層を全面的に被着し、CMP（化学的機械研磨）法により上記凹部内にはのみメタル層が残るように研

10

20

30

40

50

磨を行なって表面を平坦化させる。これによって、画素電極の反射率を高めることができる。

【0016】さらに、上記半導体基板の裏面にはガラスもしくはセラミック等からなる支持基盤を接着剤等を用いて固定するようにする。これによって、半導体を基板とする反射型LCDのデバイス強度を高めることができる。

【0017】

【発明の実施の形態】以下、本発明の好適な実施例を図面に基づいて説明する。

【0018】図1および図2は、本発明を適用した反射型LCDの反射側基板の第1の実施例を示す。なお、図1および図2にはマトリックス状に配置されている画素のうち一画素部分の断面図と平面レイアウトを示す。図1は図2におけるI-I線に沿った断面を示す。

【0019】図1において、1は単結晶シリコンのようなP型半導体基板、2はこの半導体基板1の表面に形成されたP型ウェル領域、3は半導体基板1の表面に形成された素子分離用のフィールド酸化膜（いわゆるLOCOS）である。上記ウェル領域は2は、特に限定されないが、例えば768×1024のような画素の共通ウェル領域として形成され、図6に示されているようなデータ線駆動回路やゲート線駆動回路、入力回路、タイミング制御回路等の周辺回路を構成する素子が形成される部分のウェル領域とは分離して形成されている。

【0020】上記フィールド酸化膜3に開口部が形成され、該開口部の内側中央にゲート酸化膜を介してポリシリコン等からなるゲート電極4aが形成され、このゲート電極4aの両側の基板表面には高不純物濃度のN型拡散層からなるソース、ドレイン領域5a、5bが形成され、MOSFETが構成されている。そして、上記ソース、ドレイン領域5a、5bのうち一方（図では5a）の上方には、PSG膜のような絶縁膜6を介して一層目のアルミニウム層からなるデータ線7が形成され、このデータ線7の一部が上記絶縁膜6に形成されたコンタクトホールにてソース、ドレイン領域5aに電気的に接続されている。

【0021】また、上記MOSFETの周囲には上記フィールド酸化膜3に環状の開口部が形成され、該開口部内側の基板表面には低不純物濃度のN型拡散層8が形成されているとともに、この拡散層8の表面にはゲート絶縁膜と同一工程で形成された絶縁膜を介してポリシリコン層等からなる電極9が形成され、この電極9と上記拡散層8との間に絶縁膜容量が構成されている。上記電極9とその下の絶縁膜とは、MOSFETのゲート電極およびゲート絶縁膜となるポリシリコン層および絶縁膜と同一工程にて形成することができる。

【0022】そして、上記電極9の内縁部の一部には上記MOSFETのソース、ドレイン領域5a、5bのうち他方（図では5b）に一端が接触されたアルミ配線1

0の他端が電気的に接続されている。また、上記拡散層8の内側にはその一部に接するように高不純物濃度のN型拡散層からなるコンタクト部11が形成され、このコンタクト部11には、上記絶縁膜6を介してその上方に形成された一層目にアルミニウム層からなるLCコモン電位を伝える配線（以下LCコモンラインと称する）12の一部が上記絶縁膜6に形成されたコンタクトホールにて電気的に接続されている。なお、ここで、LCコモン電位とは、上記画素電極14と液晶を挟んで対向される電極に印加される電圧で、液晶駆動で問題となるいわゆるプッシュダウン（容量カップリングにより実質的な書き込み電圧がマイナス側シフトする現象）を考慮してその分だけ予めシフトした電圧である。

【0023】これによって、上記MOSFETのソース、ドレイン領域5bに、上記電極9と上記拡散層8との間に形成された絶縁膜容量が、一端がLCコモン電位に固定された保持容量として接続されることとなる。これによってMOSFETには電極9とLCコモンライン12との間に存在する容量が接続されることとなり、保持容量の値が確保されるようになっている。また、保持容量の一端をLCコモン電位とすることで、保持容量の電圧は画素電極と対向電極間に印加される電圧と同一となり、データ線が交流駆動された場合にも対称的な電圧波形が得られる。なお、上記LCコモンライン12は、電極9とオーバーラップするので、電極9とLCコモンライン12との間にも保持容量を形成することができる。さらに、図1に2点鎖線Aで示すように、LCコモンライン12を上記電極9と大きくオーバーラップさせることにより、さらに大きな保持容量を持たせることができる。

【0024】上記アルミ配線10の一部には、上記MOSFETおよび保持容量の電極9の上方を覆うように形成された二酸化シリコンのような絶縁物からなるLTO（Low Temperature Oxide）膜13を介してその表面に形成された二層目のアルミニウム層からなる反射電極としての画素電極14が、タングステン等の高融点金属からなる接続プラグ15によって電気的に接続されている。

【0025】上記画素電極14は、特に限定されないが、接続プラグ15を構成するタングステン等をCVD法により被着した後、タングステンとLTO膜12とをCMP（化学的機械研磨）法で削って平坦化してから、例えば低温スパッタ法により形成され、一辺が約20μmの正方形のような形状とされる。上記画素電極14の上方には、ITOからなる対向電極を有する入射側のガラス基板が適当な間隔をおいて配置され、周囲をシール材で封止された間隙内にTN（Twisted Nematic）型液晶またはSH（Super Homeotropic）型液晶などが充填されて反射型LCDが構成される（図7参照）。

【0026】図2は図1に示されている反射側の液晶パ

10

20

30

40

50

ネル基板の平面レイアウトである。同図に示されているように、この実施例では、データ線 7 とゲート線 4 とが互いに直交するように形成され、ゲート電極 4 a は図の横方向に沿って延設されたゲート線 4 から突出するように形成されているとともに、MOSFET の一方のソース、ドレイン領域 5 a もデータ線 7 から突出するように形成された部分に接続されている。

【0027】また、各画素の保持容量に LC コモン電位を与える上記コモンライン 12 および上記ウェル領域 2 に V_{ss} (例えば 0 V) のような電位を与える V_{ss} ライン 16 が上記データ線 7 と平行に配設されている。また、半導体基板 (P-) 1 にも V_{ss} が印加される。この V_{ss} ライン 16 は、ウェル領域 2 に設けられたコンタクト領域 2 a (図 1 参照) にて、ウェル領域に接続される。このコンタクト領域 2 a は各画素毎に設ける必要はなく、適当な間隔をおいて形成すれば良い。これにより、ウェル電位は V_{ss} 、容量部は LC-COM に電位が固定されるため、キャリアの発生による電位変動を受けにくくなり、安定した動作が実現できる。

【0028】さらに、この実施例では、データ線 7 は互いに隣接する画素電極と画素電極との間の縦方向のスリット 17 a に沿って配置され、スリットからの漏れ光を遮断する機能を有するように形成されている。一方、画素電極と画素電極の横方向のスリット 17 b にもアルミニウム層からなる遮光層 18 が配設されている。この遮光層 18 は、本実施例の液晶パネルがノーマリブラックモードであるため、上記 LC コモンライン 12 と接続されることにより、LC コモン電位が印加されて遮光層 18 の電位が固定されるように構成されている。

【0029】ところで、画素駆動用の FET (電界効果トランジスタ) のゲート電極 4 a には、図 8 に示すように、15 V のような大きな電圧 V_G が印加されるのに対し、周辺回路のトランジスタは 5 V のような小さな電圧で駆動されるため、周辺回路を構成する FET のゲート絶縁膜を画素駆動用 FET のゲート絶縁膜よりも薄く形成して FET の特性を向上させ周辺回路の動作速度を高めるといった技術が考えられる。このような技術を適用した場合、ゲート絶縁膜の耐圧から、周辺回路を構成する FET のゲート絶縁膜の厚みを画素駆動用 FET のゲート絶縁膜の厚みの約 3 分の 1 にすることができる。第 1 の実施例においては、保持容量の電極間に印加される最大電圧は、図 8 に示すように、データ線に印加される電圧 V_d とこの V_d の振幅の中心電位 V_c との差の約 5 V (LC コモン電位 LC-COM は V_c より ΔV だけシフトされているが、実際に画素電極に印加される電圧も ΔV シフトした $V_d - \Delta V$ となる) にすぎない。そこで、第 1 の実施例においては、画素駆動用 FET のゲート絶縁膜と保持容量の絶縁膜とを同一工程で形成していたが、保持容量の一方の電極を構成するポリシリコン層 9 直下の絶縁膜を、画素駆動用 FET のゲート絶縁膜でな

く周辺回路を構成する FET の絶縁膜と同時に形成するように変形すると、第 1 の実施例に比べて保持容量の絶縁膜厚を 3 分の 1 にすることができ、これによって容量値を 3 倍にすることができるという利点がある。

【0030】図 3 は、本発明を適用した反射型 LCD の反射側基板の第 2 の実施例を示す。なお、平面レイアウトは図 2 と同じである。図 3 は図 1 と同一箇所すなわち図 2 における I-I 線に沿った断面を示す。

【0031】この実施例では、第 1 の実施例と異なり、保持容量が絶縁膜 6 a を介して対向する一対の導電層 9、19 からなる絶縁膜容量で構成されている。この実施例においては、フィールド酸化膜 3 上に保持容量の一方の電極となる下側の導電層 9 がゲート電極 4 a を構成するポリシリコン層と同時に形成されるポリシリコン層で構成され、その上に窒化シリコンのような絶縁物からなる HTO (High Temperature Oxide) 膜 6 a を介して他方の電極となる導電層 (例えばポリシリコンまたはアルミニウム) 19 が形成されている。上記導電層 9 は例えばポリシリコン層と金属層とを重ねて形成しておいて、その上に上記 HTO 膜 6 a を形成する際に金属層をシリサイド化させるようにしても良い。あるいは上記導電層 9 (ポリシリコン) の表面を熱酸化して酸化膜を形成し、その酸化膜を誘電体とする容量としても良い。

【0032】図 4 は、反射側基板の第 3 の実施例を示す。図 4 の実施例と図 1 および図 3 の実施例とは、回路的には同一の構成であり、レイアウトが異なっている。容量部の断面構造は図 3 と同様である。

【0033】図 4 に示されているように、この実施例では、画素電極 14 を駆動する MOSFET が画素電極 14 直下のほぼ中央に配置されているとともに、MOSFET の周囲を囲むように保持容量の電極を構成する導電層 9、19 が形成されている。すなわち、この実施例では、第 2 の実施例 (図 3) と同様に、保持容量を絶縁膜を介して対向する一対の導電層 9、19 からなる絶縁膜容量で構成されている。ゲート容量を利用しないのは、保持容量を構成する電導電層が画素電極を駆動する MOSFET のゲート電極と交差することとなるためである。そのため、この実施例では、保持容量の一方の電極となる導電層 9 がゲート電極とは異なるポリシリコン層 (2 層目のポリシリコン) またはアルミニウムその他の金属層で構成されているとともに、上記導電層 9 の上に HTO 膜 6 a を介して他方の電極となる導電層 19 が例えば 3 層目のポリシリコンまたはアルミニウムなどの金属層が形成されている。

【0034】また、この第 3 実施例では、データ線 7 は MOSFET の近くを通過するように導電層 9、19 と交差して設けられ、データ線 7 の代りに V_{ss} ライン 16 が互いに隣接する画素電極 14 間の縦方向のスリット 17 a に沿って配置され、スリットからの漏れ光を遮断する機能を有するように形成されている。画素電極と

画素電極の横方向のスリット 17 b にも、LC コモンライン 12 から延設されたアルミニウム層からなる遮光層 18 が設けられている。また、画素電極間の横方向のスリット 17 b の一部を遮蔽する遮光層 16 a が、上記 Vss ライン 16 から延設された形で形成されている。

【0035】以上のようにこの実施例においては、MOSFET が画素電極 14 のほぼ中央に位置するように配置されているため、隣接する画素電極と画素電極 14 の間のスリット 17 から進入した光が MOSFET 部分に到達しにくくなる。しかも、縦方向のスリット 17 a に沿って Vss ライン 16 が、また横方向のスリット 17 b に沿って遮光層 16 a、18 が配設されているため、半導体基板自身に到達漏れ光の量も減らすことができ、電流を大幅に低減することが可能となる。なお、以上の実施例において、保持電極の導電層に電位を与えるライン 12 は、LC-COM 電位だけでなく、LC-COM 電位近傍あるいは図 8 に示す画素電極に印加する電圧 Vd の中心電位近傍あるいは LC-COM と Vd 中心との中間電位を与えるようにしてもかまわない。しかしながら、最適な電位は LC-COM である。

【0036】図 5 および図 6 は、反射側基板の第 4 の実施例を示す。なお、図 5 および図 6 にはマトリクス状に配置されている画素のうち一画素部分の断面図と平面レイアウトを示す。図 5 は図 6 における V-V 線に沿った断面を示す。

【0037】この実施例では、保持容量が、第 1 の実施例と同様に、ゲート電極と同時に形成されたポリシリコン層 9 と基板表面に形成された拡散層 8' との間の絶縁膜容量で構成されている。トランジスタのゲート電極と保持容量の絶縁膜とは同一工程で形成される。ただし、この実施例では、保持容量の他方の電極となる拡散層として、第 1 実施例の N 型拡散層 8 の代わりに P 型拡散層 8' を用いるとともに、この拡散層 8' には第 1 実施例の LC コモンライン 12 に代えて Vss ライン 16 を接続するようにしている。この実施例によると、LC コモンラインが不要になるため、電極間の絶縁膜（ゲート絶縁膜）の厚みが同一であれば、第 1 実施例に比べて導電層 9 の面積を大きくして保持容量を大きくすることができるという利点がある。

【0038】図 7 は、画素電極 14 の形成方法の実施例を示す。上記実施例においては、LTO 膜 13 を形成してその表面を CMP（化学的機械研磨）法により平坦化した後、アルミニウム層を低温スパッタ法で被着し選択エッチングでパターニングして画素電極 14 を形成しているが、図 7 の実施例では、LTO 膜 13 を形成した後、画素電極が形成される部分に凹部 13 a を形成してその上にアルミニウム層 14' を低温スパッタ法等で被着する（図 7（A））。それから、その表面を CMP（化学的機械研磨）法により LTO 膜が現れるまでアルミニウム層と LTO 膜表面を研磨する。この場合、上記

CMP による研磨を、第 1 段階で例えば粒径が 400～800（好ましくは 500）オングストロームの荒いスラリを含む研磨剤を用いて行ない、第 2 段階で例えば粒径が 50～200（好ましくは 100）オングストロームの細かいスラリを含む研磨剤を用いて行なうようにするのが望ましい。一般に CMP による研磨ではスラリの径の 10 分の 1 の傷が研磨面に残ることが知られている。上記 2 段階研磨によれば、アルミニウム層 14 の表面に 20 オングストローム以下の傷しか残らないため、光学的に充分な特性を有する反射電極が得られる。

【0039】これによって、図 7（B）のように、上記凹部 13 a 内にアルミ画素電極 14 が残るように形成されるとともに、全体が平坦化される。しかも、このとき画素電極 14 の表面は CMP 法で研磨されているため、前記実施例のように CMP 処理しないものに比べて反射率が非常に高くなる。なお、画素電極 14 の材料は上記実施例のアルミニウムに限定されるものでなく、反射率が高くかつ導電体であればどのような材料であっても良い。また、画素電極 14 の表面にプラチナあるいは銀等を薄く形成して反射率を高めるようにしてもよい。

【0040】図 9 は上記実施例を適用した液晶パネル基板（反射側基板）の平面レイアウト構成を示す。

【0041】図 9 に示されているように、この実施例においては、基板の周縁部に設けられている周辺回路に光が入射するのを防止する遮光層 25 が設けられている。ここで、周辺回路とは、上記画素電極がマトリクス状に配置された画素領域 20 の周辺に設けられ、上記データ線 7 を画像データに応じて駆動するデータ線駆動回路 21 やゲート線 4 を順番に走査駆動するゲート線駆動回路 22、パッド領域 26 を介して外部から入力される画像データを取り込む入力回路 23、これらの回路を制御するタイミング制御回路 24 等の回路であり、これらの回路は画素電極駆動用 MOSFET と同一工程で形成される MOSFET を能動素子もしくはスイッチング素子とし、これに抵抗や容量などの負荷素子を組み合わせることで構成される。

【0042】この実施例においては、上記遮光層 25 は、図 1 や図 3、図 5 に示されている画素電極 14 と同一工程で形成される二層目のアルミニウム層で構成され、LC コモン電位が印加されるように構成されている。26 は電源電圧を供給するために使用されるパッドもしくは端子が形成されたパッド領域である。LC コモン電位を印加することでフローティングや他の電位である場合に比べて反射を少なくすることができる。

【0043】図 10 は上記液晶パネル基板 31 を適用した反射型液晶パネルの断面構成を示す。図 10 に示すように、上記液晶パネル基板 31 は、その裏面にガラスもしくはセラミック等からなる支持基板 32 が接着剤により接着されている。これとともに、その表面側には、LC コモン電位が印加される透明導電膜（ITO）からな

る対向電極 33 を有する入射側のガラス基板 35 が適当な間隔をおいて配置され、周囲をシール材 36 で封止された間隙内に TN (Twisted Nematic) 型液晶または SH (Super Homeotropic) 型液晶 37 などが充填されて液晶パネル 30 として構成されている。なお、外部から信号を入力したり、パッド領域 26 は上記シール材 36 の外側に来るようにシール材を設ける位置が設計されている。

【0044】周辺回路上の遮光層 25 は、液晶 37 を介在して対向電極 33 と対向されるように構成されている。そして、遮光層 25 と対向電極 33 には LC コモン電位が印加されるので、その間に介在する液晶には直流電圧が印加されなくなる。よって TN 型液晶であれば常に液晶分子がねじれたままとなり、SH 型液晶であれば常に垂直配向された状態に液晶分子が保たれる。

【0045】この実施例においては、半導体基板からなる上記液晶パネル基板 31 は、その裏面にガラスもしくはセラミック等からなる支持基板 32 が接着剤により接合されているため、その強度が著しく高められる。特にセラミックの場合は、加工精度に優れた光学部品に組み込んだ場合の精度を得やすい。その結果、液晶パネル基板 31 に支持基板 32 を接合させてから対向基板との貼り合わせを行なうようにすると、パネル全体にわたってギャップが均一になるという利点がある。

【0046】図 11 には上記実施例の反射型液晶パネルをライトバルブとして応用した投射型表示装置の一例としてビデオプロジェクタの構成例が示されている。

【0047】図 11 において、100 は光源としてのランプ、101~103 はそれぞれ直角プリズムである。2つの直角プリズムは斜面に選択反射膜をコーティングしてから接着剤により張り合わせ、キューブプリズムを構成している。プリズム 101 と 103、102 と 103 の間も接着剤により貼り合わせている。これらの接着剤は、屈折率がプリズムの屈折率により近いものが使われる。また、111、112 は、上記実施例の反射型液晶パネルを用いた青色光用、緑色光用、赤色光用のライトバルブであり、120 は各ライトバルブにより変調された色光を合成してなるカラー画像をスクリーン 130 に投射する投射レンズである。

【0048】以上の構成において、光源からの光は次に説明するように、分離、変調、合成、投射される。102a は光源 100 からの光のうち P 偏光を選択的に透過し、S 偏光成分を選択的に反射する偏光ビームスプリッタ層である。もちろん、この偏光成分スプリッタは S 偏光成分を透過し、P 偏光成分を反射する構成でも構わない。

【0049】上記偏光ビームスプリッタ層 102a で反射された S 偏光成分は、プリズム 101 に入射される。101a は青色光の波長成分のみ透過し、他の波長成分は反射する波長選択反射層 (ダイクロイックミラー) であ

る。これにより、液晶パネル 111 には青色光が入射される。一方、上記偏光ビームスプリッタ層 102a を透過した P 偏光成分は、プリズム 103 に入射される。103a は緑色光の波長成分を反射し、他の波長成分は透過するダイクロイックミラーである。103a により反射された緑色光は、液晶パネル 112 に入射される。また、103a を透過した色光には赤色光成分だけでなく、青色光成分も含まれている。よって、プリズム 103 の液晶パネル 113 への出射面に赤色フィルタを形成して、液晶パネル 113 へは赤色光を入射するようにしている。

【0050】液晶パネル 111、112、113 は TN 型液晶または SH 型液晶を採用した反射型液晶パネルである。TN 型液晶を採用した場合には、液晶層への印加電圧がほぼ 0 の画素 (OFF 状態) では、入射した色光は液晶層にて楕円偏光され、画素電極により反射され、液晶層により再度楕円偏光されるので、入射した色光の偏光軸とほぼ 90 度ずれた偏光軸の光として反射・出射される。一方、液晶層に電圧印加された画素 (ON 状態) では、入射した色光のまま画素電極に至り、反射されて、入射時と同一の偏光軸のまま反射・出射される。画素電極に印加された電圧に応じて TN 型液晶の液晶分子の配列角度が変化するので、入射光に対する反射光の偏光軸の角度は、画素のトランジスタを介して画素電極に印加する電圧に応じて可変される。

【0051】また、SH 型液晶を採用した場合には、液晶層への印加電圧がほぼ 0 の画素 (OFF 状態) では、入射した色光のまま画素電極に至り、反射されて、入射時と同一の偏光軸のまま反射・出射される。一方、液晶層に電圧印加された画素 (ON 状態) では、入射した色光は液晶層にて楕円偏光され、画素電極により反射され、液晶層により再度楕円偏光されるので、入射した色光の偏光軸とほぼ 90 度ずれた偏光軸の光として反射・出射される。画素電極に印加された電圧に応じて SH 型液晶の液晶分子の配列角度が変化するので、入射光に対する反射光の偏光軸の角度は、画素のトランジスタを介して画素電極に印加する電圧に応じて可変される。

【0052】例えば、液晶パネル 111 では、S 偏光の青色光が入射されると、TN 型液晶の場合には、OFF 状態画素は P 偏光に変換して反射・出射、ON 状態画素は S 偏光のまま反射・出射する。SH 型液晶の場合は、OFF 状態画素は S 偏光のまま反射・出射、ON 状態画素は P 偏光に変換して反射・出射する。一方、液晶パネル 112、113 では、P 偏光の色光が入射されるので、TN 型液晶の場合には、OFF 状態画素は S 偏光に変換して反射・出射、ON 状態画素は P 偏光のまま反射・出射する。SH 型液晶の場合は、OFF 状態画素は P 偏光のまま反射・出射、ON 状態画素は S 偏光に変換して反射・出射する。

【0053】液晶パネル 111 で反射された青色光はダ

イクロイックミラー 101a を透過して、S 偏光成分反射・P 偏光透過の偏光ビームスプリッタ 102a に至る。従って、液晶パネル 111 の反射光は、TN 型液晶の場合には、OFF 状態画素は P 偏光の反射光は透過して投射レンズ 120 へ至るが、ON 状態画素の S 偏光の反射光は反射されてレンズ 120 へは至らない。一方、SH 型液晶の場合には、OFF 状態画素は S 偏光の反射光は反射されてレンズ 120 へは透過せず、ON 状態画素は P 偏光の反射光は透過してレンズ 120 へ至る。以上の変調制御により、液晶パネルの各画素への電圧印加に応じて、102a での透過光量が画素毎に制御され、青色光の画像が形成される。

【0054】これに対して、液晶パネル 112、113 により反射された色光はダイクロイックミラー 103a で合成されて、偏光ビームスプリッタ 102a に至る。従って、液晶パネル 112、113 の反射光は、TN 型液晶の場合には、OFF 状態画素は S 偏光の反射光は反射して投射レンズ 120 へ至るが、ON 状態画素の P 偏光の反射光は透過してレンズ 120 へは至らない。一方、SH 型液晶の場合には、OFF 状態画素は P 偏光の反射光は透過されてレンズ 120 へは至らず、ON 状態画素は S 偏光の反射光は反射してレンズ 120 へ至る。以上の変調制御により、液晶パネルの各画素への電圧印加に応じて、102a での透過光量が画素毎に制御され、緑色光と赤色光の画像が形成される。

【0055】従って、偏光ビームスプリッタ 102 による反射・透過により、3 原色を合成した画像が形成され、投射レンズ 120 によりスクリーン 130 へ投射される。反射型液晶パネル 111~113 として、TN 型液晶の液晶パネルを用いた場合には、OFF 状態画素の反射光は投射レンズ 120 へ至るため、ノーマリホワイト表示となる。一方、SH 型液晶の液晶パネルを用いた場合は、OFF 状態画素の反射光はレンズ 120 へ至らないため、ノーマリブラック表示となる。

【0056】図 9 にて説明したように、液晶パネルの周辺回路部は遮光膜で覆われ、対向基板の対向する位置に形成される対向電極と共に同じ電圧（例えば LC コモン電位。同じ電位であればこれと異なる電位でも構わない。但し、画素部の対向電極と異なる電位となるので、この場合画素部の対向電極とは分離された周辺対向電極となる。）が印加されるので、両者間に介在する液晶にはほぼ 0V が印加され、液晶は OFF 状態と同じになる。従って、TN 型液晶の液晶パネルでは、ノーマリホワイト表示に合わせて画像領域の周辺が全て白表示にでき、SH 型液晶の液晶パネルでは、ノーマリブラック表示に合わせて画像領域の周辺が全て黒表示にできる。

【0057】上記実施例に従うと、反射型液晶パネル 111~113 の各画素電極に印加された電圧が十分に保持されるとともに、画素電極の反射率が非常に高いため鮮明な映像が得られる。

【0058】

【発明の効果】以上説明したように、この発明は、反射電極となる画素電極の下方に各画素毎に保持容量を構成する導電層を形成し、この導電層の下方または上方に絶縁膜を介して前記保持容量の他方の端子となる半導体領域または他の導電層を形成し、上記導電層は画素電極を駆動するトランジスタに電気的に接続させるとともに上記半導体領域または他の導電層はコモン電位近傍あるいは上記反射電極に印加される電圧の振幅の中心電位近傍あるいは両電位の中間の電位を与える配線層に電気的に接続させて電位を固定するようにしたので、画素電極の持つ容量の他に保持容量が接続されて画素電極に印加された電荷が保持されるため、リークによる電位の減少がなくなるとともに、保持容量の他方の端子がコモン電位に固定されるため、安定した大きな容量値が得られる。

【0059】また、各画素電極を駆動するトランジスタを画素電極のほぼ中央付近に配置して、その周囲に上記保護容量を構成する導電層を形成するようにしたので、画素電極間の隙間から漏れた光が画素駆動トランジスタに届きにくくなり、リーク電流が低減される。

【0060】さらに、各画素電極間のスリット下方には遮光性を有する層を形成するようにしたので、画素電極間の隙間から漏れた光が半導体基板に到達しにくくなり、さらにリーク電流を低減することができる。

【0061】また、反射電極となる画素電極の形成に際しては、画素電極を駆動するトランジスタを覆う絶縁膜表面に各画素電極の形状に対応した凹部を形成した後、液晶と屈折率が近いメタル層を全面的に被着し、CMP（化学的機械研磨）法により上記凹部内にのみメタル層が残るように研磨を行なって表面を平坦化させるようにしたので、画素電極の反射率を高めることができる。

【0062】さらに、上記半導体基板の裏面にはガラスもしくはセラミック等からなる支持基盤を接着剤等を用いて固定するようにしたので、半導体を基板とする反射型 LCD のデバイス強度を、ガラスを基板とする反射型 LCD の強度と同程度もしくはそれ以上に高めることができる。

【図面の簡単な説明】

【図 1】本発明を適用した反射型 LCD の反射側基板の第 1 の実施例を示す断面図。

【図 2】本発明を適用した反射型 LCD の反射側基板の第 1 の実施例を示す平面レイアウト図。

【図 3】本発明を適用した反射型 LCD の反射側基板の第 2 の実施例を示す断面図。

【図 4】本発明を適用した反射型 LCD の反射側基板の第 3 の実施例を示す平面レイアウト図。

【図 5】本発明を適用した反射型 LCD の反射側基板の第 4 の実施例を示す断面図。

【図 6】本発明を適用した反射型 LCD の反射側基板の第 4 の実施例を示す平面レイアウト図。

【図 7】画素電極の形成方法の実施例を示す断面図。

【図 8】本発明を適用した反射型 LCD の画素電極駆動用 FET のゲート駆動波形およびデータ線駆動波形例を示す波形図。

【図 9】実施例の液晶パネル用基板（反射側基板）のレイアウト構成例を示す平面図。

【図 10】実施例の液晶パネル基板を適用した反射型液晶パネルの一例を示す断面図。

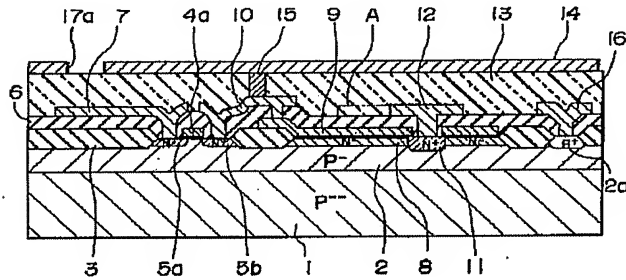
【図 11】実施例の反射型液晶パネルをライトバルブとして応用した投射型表示装置の一例としてビデオプロジェクタの概略構成図である。

【符号の説明】

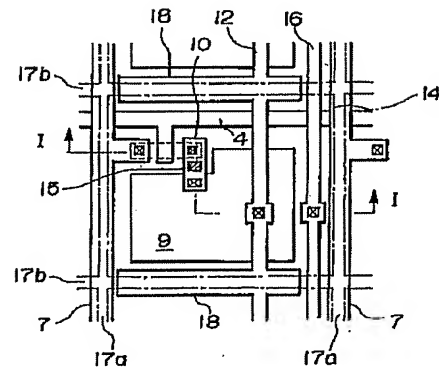
- 1 半導体基板
- 4 ゲート線（ゲート電極）
- 5 a, 5 b ソース・ドレイン領域
- 7 データ線
- 9 保持容量の電極（導電層）
- 12 LC コモンライン
- 14 画素電極

- 20 画素領域
- 21 データ線駆動回路
- 22 ゲート線駆動回路
- 23 入力回路
- 24 タイミング制御回路
- 25 遮光層
- 26 パッド領域
- 31 液晶パネル基板
- 32 支持基板
- 33 対向電極
- 35 入射側のガラス基板
- 36 シール材
- 37 液晶
- 100 ランプ
- 101~103 直角プリズム
- 111~113 反射型液晶パネル
- 120 投射レンズ
- 130 スクリーン

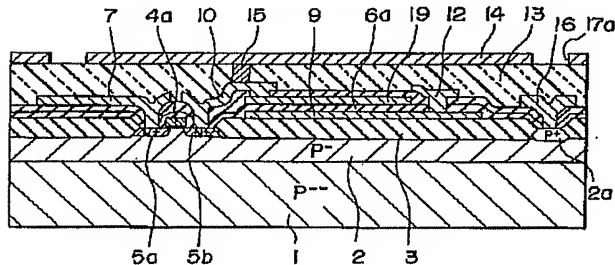
【図 1】



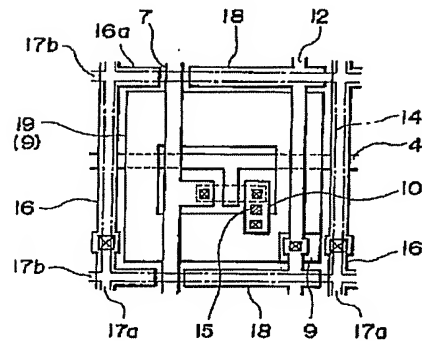
【図 2】



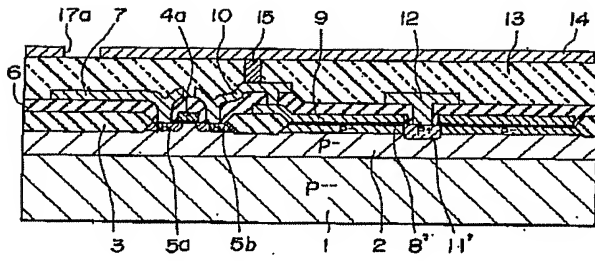
【図 3】



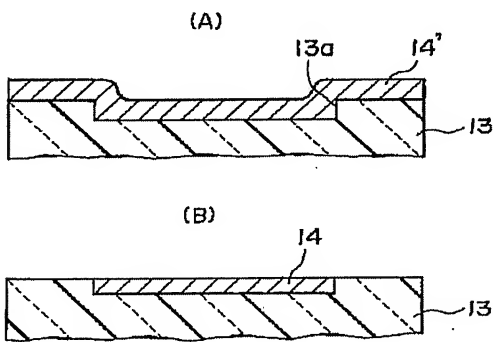
【図 4】



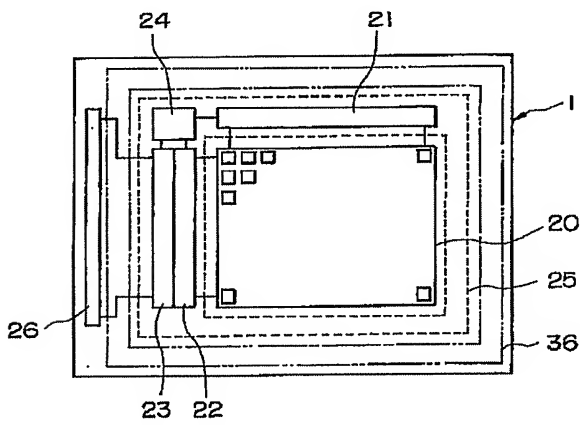
【図 5】



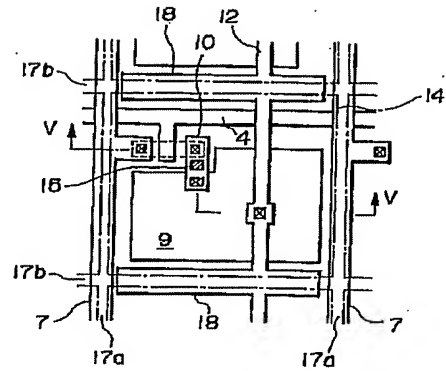
【図 7】



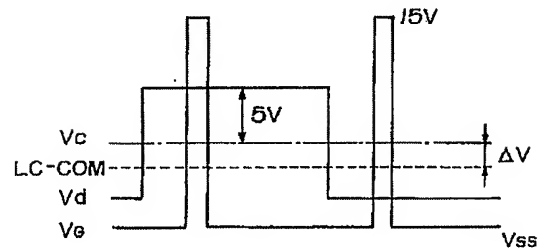
【図 9】



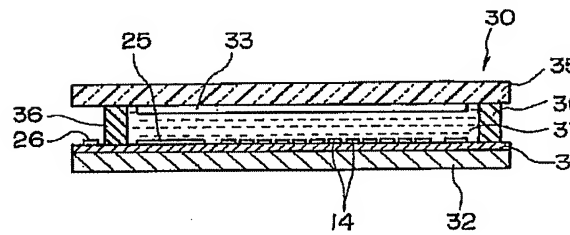
【図 6】



【図 8】



【図 10】



【図 11】

